

ATTORNEY DOCKET NO.: 5649-1253

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Son et al.

Serial No.: To Be Assigned

Filed: Concurrently Herewith

For: **METHODS OF FORMING FERROELECTRIC CAPACITORS USING
SEPARATE POLISHING PROCESSES AND FERROELECTRIC
CAPACITORS SO FORMED**

March 26, 2004

Mail Stop PATENT APPLICATION
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the
following Korean priority application:

10-2003-0012559 filed March 27, 2003.

Respectfully submitted,


Robert N. Crouse
Registration No. 44,635

Myers Bigel Sibley & Sajovec
PO Box 37428
Raleigh NC 27627
Tel (919) 854-1400
Fax (919) 854-1401
Customer No.: 20792

CERTIFICATE OF EXPRESS MAILING

Express Mail Label No. EV 381443217

Date of Deposit: March 26, 2004

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR § 1.10 on the date indicated above and is addressed to: Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.


Candi Riggs



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0019255
Application Number

출원년월일 : 2003년 03월 27일
Date of Application MAR 27, 2003

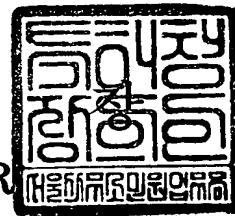
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 11 월 14 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0020
【제출일자】	2003.03.27
【국제특허분류】	H01L
【발명의 명칭】	강유전체 메모리 소자 및 그 제조 방법
【발명의 영문명칭】	Ferroelectric memory device and manufacturing method thereof
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	손운호
【성명의 영문표기】	SON, Yoon Ho
【주민등록번호】	740320-1786119
【우편번호】	445-974
【주소】	경기도 화성군 태안읍 병점리 485번지 한신아파트 105-1301
【국적】	KR
【발명자】	
【성명의 국문표기】	이상우
【성명의 영문표기】	LEE, Sang Woo
【주소】	서울특별시 동작구 사당3동 영아아파트 2-105
【국적】	US
【심사청구】	청구



1020030019255

출력 일자: 2003/11/20

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

이영필 (인) 대리인

정상빈 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 17 면 17,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 35 항 1,229,000 원

【합계】 1,275,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

복수의 강유전체 커패시터와 이들 사이의 갭 영역을 채우는 절연막과의 사이에 강유전체 막의 열화를 방지하기 위한 배리어막과 연마정지층이 개재되어 있는 강유전체 메모리 소자를 제공한다. 또한, 복수의 강유전체 커패시터를 형성한 후 이들 사이의 갭 영역을 채우는 절연막을 평탄화하기 위하여 2단계 CMP 공정을 이용하는 강유전체 메모리 소자의 제조 방법에 관하여 개시한다. 2단계 CMP 공정을 행하기 전에 셀 어레이 영역에서 에치백 공정에 의하여 절연막의 일부를 미리 제거함으로써 웨이퍼상의 모든 영역에서 상부 전극의 과도한 노출이나 손상, 또는 낮옴 결함을 야기시키지 않고 우수한 평탄도를 가지는 절연막을 얻을 수 있다.

【대표도】

도 12

【색인어】

강유전체 커패시터, 연마정지층, CMP, 에치백, 평탄화

【명세서】

【발명의 명칭】

강유전체 메모리 소자 및 그 제조 방법 {Ferroelectric memory device and manufacturing method thereof}

【도면의 간단한 설명】

도 1 내지 도 8은 본 발명의 제1 실시예에 따른 강유전체 메모리 소자의 제조 방법을 설명하기 위한 단면도들이다.

도 9 내지 도 12는 본 발명의 제2 실시예에 따른 강유전체 메모리 소자의 제조 방법을 설명하기 위한 단면도들이다.

도 13은 본 발명에 따른 강유전체 메모리 소자 제조 방법에 따라 복수의 강유전체 커패시터를 형성한 후 이들 사이의 갭 영역을 채우는 산화막을 2단계 CMP 공정에 의하여 평탄화한 결과 얻어진 단면 SEM (scanning electron microscope) 사진들을 종래 기술의 경우와 비교하여 나타낸 것이다.

<도면의 주요 부분에 대한 부호의 설명>

10: 반도체 기판, 60: 강유전체 커패시터, 62: 하부 전극, 64: 강유전체막, 66: 상부 전극, 72: 배리어막, 74: 연마정지층, 76: 버퍼층, 80: 산화막, 80a: 산화막 패턴, 80b: 평탄화된 산화막 패턴, 90: 도전층 패턴, 180: 절연막, 180a: 제1 절연막 패턴, 180b: 절연막 패턴, 180c: 제2 절연막 패턴, 190: 마스크 패턴, 192: Ar.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <6> 본 발명은 반도체 소자 및 그 제조 방법에 관한 것으로, 특히 커패시터의 유전체막으로서 강유전체 재료를 사용한 강유전체 메모리 소자 및 그 제조 방법에 관한 것이다.
- <7> 최근, 저소비전력의 불휘발성 반도체 메모리 소자로서 커패시터에 강유전체막을 채용하는 FRAM (ferroelectric random access memory)이 주목받고 있다. 또한, 반도체 메모리 소자의 미세화 및 고집적화가 요구됨에 따라 메모리 셀 사이즈가 점차 줄어들고 디자인룰의 미세화에 따라 공정 마진이 작아지고 있다.
- <8> 미합중국 특허 제5,990,507호에서는 고집적화된 FRAM을 제조하는 데 있어서 비아 콘택 (via contact)을 통하여 전기적으로 연결되는 다층 배선 구조를 형성하기 위하여 알루미늄(Al)막과 같은 금속배선막의 리플로우(reflow) 공정을 이용한다. 그러나, FRAM에서는 메모리 셀의 비아 콘택 형성을 위하여 리플로우 공정을 적용하면 강유전체막의 자발분극 (spontaneous polarization) 특성이 열화되는 문제가 있다.
- <9> 이와 같은 문제를 해결하기 위하여, 반도체 기판상에 복수의 강유전체 커패시터를 형성한 후 이들 사이의 갭 영역을 절연막으로 덮고 이를 평탄화한 후, 복수개의 커패시터의 상부면과 직접적으로 접촉하는 국부 플레이트 라인(local plate line)을 형성하는 구조를 채용하는 기술이 제안된 바 있다. 이 기술에서는 강유전체 커패시터들 사이의 갭 영역에 형성된 절연막을 평탄화하기 위하여 건식 식각 방법에 의한 에치백 기술을 이용한다. 그러나, 웨이퍼상에서는 각 위치에 따라 에치백에 의한 식각 대상 막질의 제거량 편차가 커지는 문제가 있다. 특히,

셀 어레이 영역에서 셀 블록의 센터 부분과 그 에지 부분에서의 에치백에 의한 식각 대상 막질의 제거량 차이가 매우 커서, 웨이퍼상의 위치에 따라 과다 식각에 의하여 상부 전극 아래의 강유전체막이 노출되는 문제를 야기하거나, 이와 반대로 식각량이 너무 적어 상부 전극이 노출되지 않는 "낫오픈(not open)" 결함을 유발하는 문제가 있다.

【발명이 이루고자 하는 기술적 과제】

- <10> 본 발명의 목적은 상기와 같은 종래 기술에서의 문제점을 해결하고자 하는 것으로, 강유전체막의 분극 특성을 열화시키지 않고 고접적화 및 미세화된 메모리 소자를 구현할 수 있는 강유전체 메모리 소자를 제공하는 것이다.
- <11> 본 발명의 다른 목적은 웨이퍼상의 모든 영역에서 강유전체막의 국부적 구조 및 분극 특성을 열화시키지 않고 고접적화 및 미세화된 메모리 소자를 효과적으로 구현할 수 있는 강유전체 메모리 소자의 제조 방법을 제공하는 것이다.

【발명의 구성 및 작용】

- <12> 상기 목적을 달성하기 위하여, 본 발명에 따른 강유전체 메모리 소자는 각각 하부 전극, 강유전체막 및 상부 전극으로 구성되고 상기 하부 전극, 강유전체막 및 상부 전극을 노출시키는 측벽을 가지는 복수의 커패시터를 구비한다. 상기 복수의 커패시터중 서로 이웃하는 커패시터 사이의 갭 영역에는 산화막이 형성되어 있다. 상기 커패시터의 측벽에는 상기 하부 전극, 강유전체막 및 상부 전극을 덮도록 배리어막이 형성되어 있다.
- <13> 하부 전극, 강유전체막 및 상부 전극을 포함하는 복수의 커패시터를 구비한다. 상기 복수의 커패시터중 서로 이웃하는 커패시터 사이의 갭 영역에는 산화막이 채워져 있다. 상기 커패시터의 측벽에는 상기 강유전체막으로의 수소 침투를 방지하기 위한 배리어막이 형성되어 있

다. 상기 배리어막과 상기 산화막과의 사이에는 연마정지층이 형성되어 있으며, 상기 연마정지층은 산화막 연마용 슬러리액에 대하여 상기 산화막보다 낮은 식각선택비를 제공하는 물질로 이루어진다.

<14> 예를 들면, 상기 연마정지층은 Si_3N_4 또는 SiON 으로 이루어질 수 있다. 상기 배리어막은 Al_2O_3 , TiO_2 , Ta_2O_5 , BaTiO_3 , SrTiO_3 , $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 또는 PbTiO_3 로 이루어질 수 있다. 상기 산화막은 USG (undoped silicate glass), PEOX (plasma enhanced oxide), HDP 산화물 (high density plasma oxide), 또는 PSG (phosphosilicate glass)로 이루어지는 것이 바람직하다.

<15> 상기 산화막의 상기 연마정지층에 대한 친화력을 향상시키기 위하여 상기 연마정지층과 상기 산화막과의 사이에는 버퍼층이 개재되는 것이 바람직하다.

<16> 또한, 상기 복수의 커패시터중 서로 이웃하는 적어도 2개의 커패시터의 상부 전극과 이들 사이에 있는 상기 산화막을 동시에 덮도록 도전층이 형성되어 있다. 상기 도전층은 금속막, 도전성 금속 산화막, 도전성 금속 질화막, 또는 이들의 조합으로 이루어질 수 있다.

<17> 상기 다른 목적을 달성하기 위하여, 본 발명의 제1 양태에 따른 강유전체 메모리 소자의 제조 방법에서는 반도체 기판상에 갭 영역을 사이에 두고 서로 이격되어 있는 복수의 강유전체 커패시터를 형성한다. 상기 강유전체 커패시터로의 수소 침투를 방지하기 위하여 상기 강유전체 커패시터의 상면 및 측벽을 덮는 배리어막을 형성한다. 상기 배리어막 위에 연마정지층을 형성한다. 상기 연마 정지층 위에 상기 갭 영역을 완전히 채우는 산화막을 형성한다. 상기 산화막을 CMP (chemical mechanical polishing) 방법에 의하여 평탄화하여 상기 연마정지층을 일부 노출시키는 평탄화된 산화막 패턴을 형성한다. 상기 강유전체 커패시터의 상면이 완전히 노출되도록 상기 연마정지층의 노출된 부분 및 그 아래의 배리어막을 제거한다.

- <18> 상기 연마정지층은 플라즈마 CVD 방법 또는 ALD 방법에 의하여 형성될 수 있다.
- <19> 상기 평탄화된 산화막 패턴을 형성하는 단계에서는 세리아 슬러리를 사용하여 상기 산화막을 연마하는 것이 바람직하다. 특히 바람직하게는, 상기 평탄화된 산화막 패턴을 형성하는데 있어서, 먼저 상기 산화막의 표면 단차를 줄이기 위하여 실리카 슬러리를 사용하여 상기 산화막을 일부 연마하는 제1 연마 단계를 행한다. 그 후, 상기 연마정지층이 노출될 때까지 세리아 슬러리를 사용하여 상기 산화막을 연마하는 제2 연마 단계를 행한다.
- <20> 상기 연마정지층의 노출된 부분 및 그 아래의 배리어막을 제거하는 단계는 RF 스퍼터링을 이용한 에치백 방법에 의하여 행해진다. 다른 방법으로서, 상기 연마정지층의 노출된 부분 및 그 아래의 배리어막을 제거하기 위하여 습식 식각 방법을 이용할 수도 있다.
- <21> 상기 산화막을 형성하기 전에, 상기 연마정지층 위에 상기 산화막의 연마정지층에 대한 친화력을 향상시키기 위한 버퍼층을 형성하는 단계를 더 포함할 수 있다.
- <22> 또한, 상기 다른 목적을 달성하기 위하여, 본 발명의 제2 양태에 따른 강유전체 메모리 소자의 제조 방법에서는 셀 어레이 영역 및 주변회로 영역을 가지는 반도체 기판상의 셀 어레이 영역에 복수의 강유전체 커패시터를 형성한다. 상기 강유전체 커패시터로의 수소 침투를 방지하기 위한 배리어막을 상기 셀 어레이 영역의 강유전체 커패시터 및 상기 주변회로 영역을 덮도록 형성한다. 상기 셀 어레이 영역 및 주변회로 영역상에 상기 배리어막을 덮는 연마정지층을 형성한다. 상기 셀 어레이 영역 및 주변회로 영역상에 상기 연마정지층을 덮는 절연막을 형성한다. 상기 셀 어레이 영역에서만 선택적으로 상기 절연막을 일부 제거하여 상기 셀 어레이 영역에서 낮아진 높이를 가지는 제1 절연막 패턴을 형성한다. 상기 셀 어레이 영역 및 상기 주변회로 영역에서 상기 제1 절연막 패턴을 CMP 방법에 의하여 평탄화하여 상기 강유전체 커패시터의 위에서 상기 연마정지층을 노출시키는 평탄화된 제2 절연막 패턴을 형성한다. 상기

강유전체 커패시터의 상면이 노출되도록 상기 연마정지층의 노출된 부분 및 그 아래의 배리어막을 제거한다.

<23> 상기 셀 어레이 영역에서만 선택적으로 상기 절연막의 일부를 제거하여 상기 제1 절연막 패턴을 형성하기 위하여 RF 스퍼터링을 이용한 에치백 공정을 행한다. 이 때, 상기 에치백 공정은 상기 절연막 위에 상기 셀 어레이 영역만을 노출시키는 마스크 패턴을 형성한 상태에서 행해진다.

<24> 본 발명에 의하면, 복수의 강유전체 커패시터를 형성한 후 이들 사이의 갭 영역을 채우는 절연막을 평탄화하기 위하여 2단계 CMP 공정을 이용하며, 특히 셀 어레이 영역에서는 패턴 로딩 효과를 고려하여 건식 식각에 의한 에치백 및 2단계 CMP 공정을 적용하여 절연막의 평탄화 공정을 행하므로, 웨이퍼상의 모든 영역에서 균일한 연마 속도에 의하여 평탄화된 절연막 패턴이 얻어지며, 상부 전극 표면의 침식에 의한 손상, 상부 전극의 낫오픈, 과도 연마에 의한 강유전체막의 노출 또는 강유전체막의 국부적 구조 변화 등과 같은 문제가 발생하는 것을 효과적으로 방지할 수 있다.

<25> 다음에, 본 발명의 바람직한 실시예들에 대하여 첨부 도면을 참조하여 상세히 설명한다.

<26> 다음에 예시하는 실시예들은 여러가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시예에 한정되는 것은 아니다. 본 발명의 실시예는 당 업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위하여 제공되어지는 것이다. 첨부 도면에서 막 또는 영역들의 크기 또는 두께는 명세서의 명확성을 위하여 과장되어진 것이다. 또한, 어떤 막이 다른 막 또는 기판의 "위"에 있다라고 기재된 경우, 상기 어떤 막이 상기 다른 막의 위에 직접 존재할 수도 있고, 그 사이에 제3의 다른 막이 개재될 수도 있다.

- <27> 도 1 내지 도 8은 본 발명의 제1 실시예에 따른 강유전체 메모리 소자의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.
- <28> 도 1을 참조하면, 반도체 기판(10)에 소자분리 영역(12)을 형성하여 복수의 활성 영역을 한정 한 후, 상기 반도체 기판(10) 위에 게이트 절연막(22), 게이트 전극(24) 및 소스/드레인 영역(26)을 형성한다. 그 후, 상기 게이트 전극(24)을 덮도록 제1 층간절연막(30)을 형성한 후, 상기 제1 층간절연막(30)을 패터닝하여 패드 콘택홀을 형성한다. 통상의 방법에 의하여 상기 패드콘택홀 내에 도전 물질을 채워 상기 소스/드레인 영역(26)에 연결되는 스토리지 노드 패드(32a) 및 비트 라인 패드(32b)를 형성한다. 상기 스토리지 노드 패드(32a) 및 비트 라인 패드(32b)가 형성된 결과물 위에 제2 층간절연막(40)을 형성하고, 이를 패터닝하여 상기 비트 라인 패드(32b)를 노출시키는 홀을 형성한 후, 상기 홀 내에 도전 물질을 채워 비트 라인(42)을 형성한다.
- <29> 상기 비트 라인(42)이 형성된 결과물상에 제3 층간절연막(50)을 형성하고, 상기 제3 층간절연막(50) 및 제2 층간절연막(40)을 차례로 패터닝하여 상기 스토리지 노드 패드(32a)를 노출시키는 스토리지 노드 콘택홀을 형성한다. 상기 스토리지 노드 콘택홀 내에 도전 물질을 채워 콘택 플러그(52)를 형성한다.
- <30> 상기 콘택 플러그(52)가 형성된 결과물 위에 하부 전극(62), 강유전체막(64) 및 상부 전극(66)으로 구성되는 복수의 강유전체 커패시터(60)를 형성한다. 상기 하부 전극(62) 및 상부 전극(64)은 각각 Pt, Ir, Ru, Rh, Os, Pd 등과 같은 내열성 금속막, IrO_2 , RuO_2 , $(\text{Ca}, \text{Sr})\text{RuO}_3$, LaSrCoO_3 등과 같은 도전성 금속 산화막, 또는 이들의 조합으로 이루어진다. 상기 강유전체

막(64)은 예를 들면 PZT ($\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$), BST ($(\text{Ba}, \text{Sr})\text{TiO}_3$), 또는 PLZT ($(\text{Pb}, \text{La})(\text{Zr}, \text{Ti})\text{O}_3$)로 이루어질 수 있다.

<31> 도 2를 참조하면, 상기 복수의 강유전체 커패시터(60)가 형성된 결과물 전면에서 배리어막(72)을 형성한다. 상기 배리어막(72)은 상기 강유전체 커패시터(60)의 상면 및 측벽과, 인접한 2개의 강유전체 커패시터(60) 사이의 갭 영역에서 노출되어 있는 상기 제3 층간절연막(50)의 상면을 균일한 두께로 덮도록 형성된다. 상기 배리어막(72)은 후속의 산화막 형성 공정시 상기 강유전체막(64) 내부로 수소 원자들이 침투하는 것을 방지하기 위하여 형성하는 것으로서, 예를 들면 Al_2O_3 , TiO_2 , Ta_2O_5 , BaTiO_3 , SrTiO_3 , $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 또는 PbTiO_3 로 이루어질 수 있다.

<32> 상기 배리어막(72) 위에 연마정지층(74)을 형성한다. 상기 연마정지층(74)은 후속의 산화막 평탄화 공정시 연마 종말점으로 사용하기 위한 것으로서, 예를 들면 Si_3N_4 또는 SiON 으로 이루어질 수 있다. 상기 연마정지층(74)을 형성하기 위하여 예를 들면 플라즈마 CVD (chemical vapor deposition) 방법 또는 ALD (atomic layer deposition) 방법을 이용할 수 있다.

<33> 후속 공정에서 상기 연마정지층(74) 위에 산화막을 형성할 때 마지막 의존성을 최소화하기 위하여, 상기 연마정지층(74) 위에 버퍼층(76)을 형성한다. 상기 버퍼층(76)은 Al_2O_3 로 이루어지는 것이 바람직하다. 상기 버퍼층(76)은 상기 연마정지층(74) 위에서 후속의 산화막 형성을 위한 시드층(seed layer)으로서 작용하여 산화막의 상기 연마정지층(74)에 대한 친화력을 향상시키는 역할을 한다. 후속 공정에서 상기 연마정지층(74) 위에 형성될 산화막의 종류 또는 그 형성 공정에 따라 상기 버퍼층(76)을 구성하는 물질을 다양하게 선택할 수 있으며, 경우에 따라 상기 버퍼층(76) 형성 공정을 생략할 수도 있다.

<34> 도 3을 참조하면, 인접한 2개의 강유전체 커패시터(60) 사이의 갭 영역을 완전히 채우도록 상기 버퍼층(76) 위에 산화막(80)을 형성한다. 상기 산화막(80)은 그 성막 공정시 상기 강유전체 커패시터(60)를 구성하는 강유전체막(64)의 분극특성 (polarization characteristic)을 저하시키지 않도록 수소 발생을 최소화할 수 있는 물질로 구성하는 것이 바람직하다. 이와 같은 점을 고려하면, 상기 산화막(80)은 USG (undoped silicate glass), PEOX (plasma enhanced oxide), HDP 산화물 (high density plasma oxide), 또는 PSG (phosphosilicate glass)로 형성하는 것이 바람직하다.

<35> 그 후, 상기 산화막(80)을 CMP 방법에 의하여 평탄화하여 상기 연마정지층(74)을 일부 노출시키는 평탄화된 산화막 패턴(80b)(도 5 참조)을 형성한다. 제1 실시예에서는 상기 산화막(80)을 평탄화시키기 위한 방법으로서 실리카 슬러리를 사용하는 제1 연마 단계(도 4 참조)와, 세리아 슬러리를 사용하는 제2 연마 단계(도 5 참조)로 이루어지는 2 단계 CMP 공정을 행한다. 이에 대하여 보다 상세히 설명하면, 먼저 상기 산화막(80)의 표면 단차를 줄이기 위하여 실리카 슬러리를 사용하여 상기 산화막(80)의 일부를 연마하여 도 4에 도시된 바와 같은 산화막 패턴(80a)을 형성한다. 이어서, 산화막 대 질화막의 식각 선택비가 실리카 슬러리보다 훨씬 높은 세리아 슬러리를 사용하여 상기 산화막 패턴(80a)을 연마하여 도 5에 도시된 바와 같은 평탄화된 산화막 패턴(80b)을 형성한다. 그 결과, 상기 평탄화된 산화막 패턴(80b)을 통하여 상기 강유전체 커패시터(60)의 상부에서 상기 연마정지층(74)이 노출된다. 이 때, 실리카 슬러리에 비하여 우수한 산화막 연마 특성을 가지는 세리아 슬러리를 사용하였으므로 그 결과 얻어진 상기 평탄화된 산화막 패턴(80b)은 웨이퍼상의 모든 영역에서 우수한 평탄도를 제공하며, CMP 공정 후 상기 평탄화된 산화막 패턴(80b)을 통하여 노출되는 상기 연마정지층(74)의 두께 편차도 양호하다. 따라서, 웨이퍼상의 셀 어레이 영역의 에지 부분 및 센터 부분에 따라, 또는 상기

셀 어레이 영역에 포함되어 있는 복수의 다이(die)에서의 각 에지 부분 및 그 센터 부분에 따라, 각각 상기 평탄화된 산화막(80b) 및 상기 연마정지층(74) 각각의 두께 편차가 거의 발생하지 않는다.

<36> 도 6을 참조하면, 상기 강유전체 커패시터(60)를 구성하는 상부 전극(66)의 상면이 완전히 노출되도록 상기 연마정지층(74)의 노출된 부분 및 그 아래의 배리어막(72)을 제거한다. 이를 위하여 아르곤(Ar) 가스를 사용하는 RF 스퍼터링을 이용한 에치백 공정을 이용할 수 있다. 상기 에치백 후 상기 상부 전극(66)의 상면이 노출되면 상기 평탄화된 산화막 패턴(80b)도 상기 상부 전극(66)의 상면과 동일 레벨을 가지게 된다.

<37> 다른 방법으로서, 상기 연마정지층(74)의 노출된 부분 및 그 아래의 배리어막(72)을 선택적으로 제거하기 위하여 습식 식각 방법을 이용할 수도 있다. 이 경우에는 상기 평탄화된 산화막 패턴(80b)은 그 두께가 변하지 않는다.

<38> 도 7을 참조하면, 상기 복수의 강유전체 커패시터(60)중 서로 이웃하는 적어도 2개의 커패시터(60)의 상부 전극(66) 상면과 직접 접촉하는 복수의 도전층 패턴(90)을 형성한다. 상기 도전층 패턴(90)은 국부 플레이트 라인 (local plate line)을 구성하는 것으로, 예를 들면 Al, Pt, Ti, Ir, Ru 등과 같은 금속막, IrO₂, RuO₂ 등과 같은 도전성 금속 산화막, TiN, TiAlN 등과 같은 도전성 금속 질화막, 또는 이들의 조합으로 이루어질 수 있다.

<39> 도 8을 참조하면, 상기 도전층 패턴(90)이 형성된 결과물상에 제1 상부 층간절연막 패턴(92)을 형성한 후, 그 위에 제1 배선층(94), 예를 들면 메인 워드라인을 형성한다. 그 후, 상기 제1 배선층(94) 위에 제2 상부 층간절연막(96)을 형성한다. 상기 제2 및 제1 상부 층간절연막(96, 92)을 차례로 패터닝하여 상기 도전층 패턴(90)을 일부 노출시키는 홀을 형성하고,

상기 홀을 통하여 상기 도전층 패턴(90)과 접촉되는 메인 플레이트 라인(98)을 형성한다. 상기 메인 플레이트 라인(98)은 상기 도전층 패턴(90)을 통하여 적어도 2개의 인접한 강유전체 커패시터(60)와 전기적으로 접속된다.

<40> 도 9 내지 도 12는 본 발명의 제2 실시예에 따른 강유전체 메모리 소자의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다. 제2 실시예는 제1 실시예와 대체로 동일하나, 산화막(180)의 평탄화 공정시 웨이퍼상의 패턴 로딩 효과를 고려하여 웨이퍼상의 글로벌 평탄화를 구현하기 위하여 웨이퍼상의 셀 어레이 영역과 이를 제외한 다른 영역에서의 평탄화 공정을 다르게 적용한다는 것이다. 이에 대하여 보다 상세히 설명하면 다음과 같다. 도 9 내지 도 12에 있어서 제1 실시예에서와 동일한 참조 부호는 동일 부재를 나타내며, 이들에 대한 상세한 설명은 생략한다. 또한, 셀 어레이 영역을 제외한 다른 영역으로서 주변회로 영역만을 대표적으로 도시하였다. 이하의 설명에서 주변회로 영역에 대하여 설명하는 내용은 주변회로 영역에만 한정되지 않으며, 셀 어레이 영역을 제외한 다른 모든 영역에 대하여 동일하게 적용되는 것이다.

<41> 도 9를 참조하면, 도 1을 참조하여 설명한 바와 같은 방법으로 반도체 기판(10)상의 셀 어레이 영역에 강유전체 커패시터(60)를 형성하는 공정까지 행한 후, 도 2를 참조하여 설명한 바와 같은 방법으로 셀 어레이 영역 및 주변회로 영역에 각각 배리어막(72), 연마정지층(74) 및 버퍼층(76)을 형성하고, 도 3을 참조하여 설명한 바와 같은 방법으로 상기 버퍼층(76) 위에 산화막으로 이루어지는 절연막(180)을 형성한다. 그 결과, 셀 어레이 영역에서는 상기 강유전체 커패시터(60)에 의한 표면 단차에 의하여 상기 산화막(180) 표면에 비교적 큰 표면 단차가 형성된다.

- <42> 또한, 주변회로 영역에서는 패턴 밀도가 상대적으로 낮고 셀 어레이 영역에서는 패턴 밀도가 상대적으로 높아서 상기 산화막(180)을 CMP 방법에 의하여 평탄화할 때 셀 어레이 영역과 주변회로 영역에서의 연마 속도가 서로 달라질 수 있다. 이와 같은 문제를 방지하기 위하여, 제2 실시예에서는 상기 절연막(180)을 CMP 방법으로 연마하기 전에 셀 어레이 영역만을 일부 에치백하는 전처리 단계를 거친다.
- <43> 도 10을 참조하여 보다 상세히 설명하면, 상기 절연막(180)이 형성된 반도체 기판(10) 전면면에 포토레지스트막을 도포한 후, 이를 패터닝하여 상기 셀 어레이 영역만을 노출시키는 마스크 패턴(190)을 형성한다. 그 후, 상기 마스크 패턴(190)을 식각 마스크로 하여 Ar(192)을 이용한 RF 스퍼터링에 의하여 상기 셀 어레이 영역에서만 선택적으로 상기 절연막(180)을 일부 에치백하여 상기 셀 어레이 영역에서 낮아진 높이를 가지는 제1 절연막 패턴(180a)을 형성한다.
- <44> 도 11을 참조하면, 상기 마스크 패턴(190)을 제거한 후, 셀 어레이 영역에서 상기 제1 절연막 패턴(180a)의 표면 단차를 줄이기 위하여 도 4를 참조하여 설명한 바와 같은 방법으로 실리카 슬러리를 사용하여 상기 제1 절연막 패턴(180a)의 일부를 연마하여 낮은 단차를 가지는 절연막 패턴(180b)을 형성한다.
- <45> 도 12를 참조하면, 도 5를 참조하여 설명한 바와 같은 방법으로 세리아 슬러리를 사용하여 상기 절연막 패턴(180b)을 연마하여 평탄화된 제2 절연막 패턴(180c)을 형성한다. 그 결과, 상기 평탄화된 제2 절연막 패턴(180c)을 통하여 상기 강유전체 커패시터(60)의 상부에서 상기 연마정지층(74)이 노출된다. 이 때, 상기 절연막(180)을 CMP 방법에 의하여 연마하기 전에 상기 셀 어레이 영역에서만 상기 절연막을 RF 스퍼터링에 의하여 에치백하여 그 일부를 제거하였으므로, 상기 세리아 슬러리를 이용한 CMP 공정 후에는 웨이퍼상의 모든 영역에서 패턴 로딩

효과에 따른 악영향 없이 우수한 평탄도를 가지는 상기 제2 절연막 패턴(180c)이 얻어지며, 상기 제2 절연막 패턴(180c)을 통하여 노출되는 상기 연마정지층(74)의 두께 편차도 양호하다.

<46> 그 후, 도 6을 참조하여 설명한 바와 같은 방법으로 상기 강유전체 커패시터(60)의 상부 전극(66) 상면이 노출되도록 상기 연마정지층(74)의 노출된 부분 및 그 아래의 배리어막(72)을 제거하고, 도 7 및 도 8에서와 같은 공정을 거쳐 강유전체 메모리 소자를 완성한다.

<47> 도 13은 본 발명에 따른 강유전체 메모리 소자 제조 방법에 따라 복수의 강유전체 커패시터를 형성한 후, 각각의 강유전체 커패시터 사이의 갭 영역을 채우는 산화막을 2단계 CMP 공정에 의하여 평탄화한 결과를 종래 기술의 경우와 비교하여 나타낸 것으로, 각각의 경우에 얻어진 단면 구조를 SEM (scanning electron microscope) 사진으로 나타내었다.

<48> 보다 구체적으로 설명하면, 본 발명에 따른 강유전체 메모리 소자를 형성하기 위하여 강유전체 커패시터 위에 Al_2O_3 배리어막, SiON 연마정지층, 및 Al_2O_3 버퍼층을 차례로 형성한 후, 그 위에 상기 강유전체 커패시터들 사이의 갭 영역을 채우도록 충분한 두께의 USG막을 형성하였다. 이 때, 웨이퍼상의 주변회로 영역에서 비트 라인 상부에서의 층간절연막 총 두께가 약 11000Å이 되도록 상기 USG막 두께를 조절하였다. 주변회로 영역에서 비트 라인 상부에서의 층간절연막 총 두께가 약 1000Å될 때까지 실리카 슬러리를 사용하여 상기 USG막을 일부 연마하였다. 그 후, 상기 강유전체 커패시터 위에 형성된 SiON 연마정지층이 노출될 때까지 상기 USG막의 나머지를 세리아 슬러리를 이용하여 연마하였다. 그 결과, 주변 회로 영역에서 비트 라인 상부에서 남아 있는 층간절연막 총 두께는 약 5000Å이었다. 그 후, Ar을 이용한 RF 스퍼터링에 의하여 상기 SiON 연마정지층 및 그 아래의 Al_2O_3 배리어막을 제거하여 강유전체 커패시터의 상부 전극을 노출시켰다. 웨이퍼상의 센터 부분 및 웨이퍼상의 플랫폼(flat zone)에 인접한 저면(bottom) 부분에서 각각 강유전체 커패시터 단면을 관찰한 결과, 도 12에 나타낸 바

와 같이, 셀 어레이 영역의 에지 부분 및 셀 어레이 영역의 센터 부분에서 각각 USG막의 연마량에 차이가 없이 균일한 연마 표면이 얻어졌으며, 커패시터의 상부 전극이 노출되지 않는 "낮 오픈 (not open)" 현상이나, 상부 전극이 과도하게 연마되어 강유전체막이 노출되는 등의 문제는 전혀 발생되지 않았다. 또한, RF 스퍼터링에 의한 연마정지층 및 배리어막의 에치백 후에도 강유전체 커패시터의 상부 전극 표면이 침식(erosion)에 의하여 손상되는 현상은 전혀 관찰되지 않았다.

<49> 도 13에 나타낸 종래 기술의 경우는 강유전체 커패시터 위에 Al_2O_3 막 만을 형성한 후, 그 위에 상기 강유전체 커패시터들 사이의 갭 영역을 채우도록 USG막 및 SOG막을 차례로 형성하고, 강유전체 커패시터의 상부 전극이 노출될 때까지 상기 SOG막 및 USG막을 건식 식각 방법으로 에치백하였다. 그 후, RF 스퍼터링 방법을 이용하여 노출된 상부 전극 표면에 잔류하는 불필요한 물질 등을 제거하고, 웨이퍼상의 센터 부분 및 웨이퍼상의 플랫폼에 인접한 저면 부분에서 각각 강유전체 커패시터 단면을 관찰한 결과, 도 13에서 종래 기술로 나타낸 바와 같이, 셀 어레이 영역의 에지 부분과 센터 부분에서 산화막의 연마량에 큰 차이가 있으며, 웨이퍼의 위치에 따라 산화막 제거량의 편차가 매우 크다. 또한, 산화막의 에치백 후 셀 어레이 영역의 에지 부분에서는 상부 전극이 과도하게 연마되어 강유전체막이 노출되었으며, RF 스퍼터링 공정 후에 강유전체 커패시터의 상부 전극 표면이 침식에 의하여 손상된 것을 관찰할 수 있었다.

【발명의 효과】

<50> 본 발명에 따른 강유전체 메모리 소자의 제조 방법에서는 반도체 기판상에 복수의 강유전체 커패시터를 형성한 후 이들 각 커패시터 사이의 갭 영역을 채우는 절연막 패턴을 형성하는 데 있어서, 강유전체 커패시터 위에 연마정지층을 형성하고, 그 위에 형성된 산화막을 2단

계 CMP 공정에 의하여 연마한다. 특히 셀 어레이 영역에서는 패턴 로딩 효과를 고려하여 건식 식각에 의한 에치백 및 2단계 CMP 공정을 적용하여 절연막의 평탄화 공정을 행하므로, 웨이퍼 상의 모든 영역에서 균일한 연마 속도에 의하여 평탄화된 절연막 패턴이 얻어진다. 또한, 상부 전극 표면의 침식에 의한 손상, 상부 전극의 낮아짐, 과도 연마에 의한 강유전체막 노출 또는 강유전체막의 국부적 구조 변화 등과 같은 문제가 발생하는 것을 효과적으로 방지할 수 있다.

<51> 이상, 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상의 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러가지 변형이 가능하다.

【특허청구범위】

【청구항 1】

각각 하부 전극, 강유전체막 및 상부 전극으로 구성되고 상기 하부 전극, 강유전체막 및 상부 전극을 노출시키는 측벽을 가지는 복수의 커패시터와,

상기 복수의 커패시터중 서로 이웃하는 커패시터 사이의 갭 영역에 형성된 산화막과,

상기 강유전체막으로의 수소 침투를 방지하도록 상기 커패시터의 측벽에서 상기 하부 전극, 강유전체막 및 상부 전극을 덮는 배리어막과,

상기 배리어막과 상기 산화막과의 사이에 형성되어 있고 산화막 연마용 슬러리액에 대하여 상기 산화막보다 낮은 식각선택비를 제공하는 물질로 이루어지는 연마정지층과,

상기 복수의 커패시터중 서로 이웃하는 적어도 2개의 커패시터의 상부 전극과 이들 사이에 있는 상기 산화막을 동시에 덮는 도전층을 포함하는 것을 특징으로 하는 강유전체 메모리 소자.

【청구항 2】

제1항에 있어서,

상기 연마정지층은 Si_3N_4 또는 SiON 으로 이루어지는 것을 특징으로 하는 강유전체 메모리 소자.

【청구항 3】

제1항에 있어서,

상기 배리어막은 Al_2O_3 , TiO_2 , Ta_2O_5 , BaTiO_3 , SrTiO_3 , $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 또는 PbTiO_3 로 이루어지는 것을 특징으로 하는 강유전체 메모리 소자.

【청구항 4】

제1항에 있어서,

상기 산화막은 USG (undoped silicate glass), PEOX (plasma enhanced oxide), HDP 산화물 (high density plasma oxide), 또는 PSG (phosphosilicate glass)로 이루어지는 것을 특징으로 하는 강유전체 메모리 소자.

【청구항 5】

제1항에 있어서,

상기 하부 전극은 내열성 금속막, 도전성 금속 산화막, 또는 이들의 조합으로 이루어지는 것을 특징으로 하는 강유전체 메모리 소자.

【청구항 6】

제1항에 있어서,

상기 강유전체막은 PZT ($\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$), BST ($(\text{Ba}, \text{Sr})\text{TiO}_3$), 또는 PLZT ($(\text{Pb}, \text{La})(\text{Zr}, \text{Ti})\text{O}_3$)로 이루어지는 것을 특징으로 하는 강유전체 메모리 소자.

【청구항 7】

제1항에 있어서,

상기 상부 전극은 내열성 금속막, 도전성 금속 산화막, 또는 이들의 조합으로 이루어지는 것을 특징으로 하는 강유전체 메모리 소자.

【청구항 8】

제1항에 있어서,

상기 도전층은 금속막, 도전성 금속 산화막, 도전성 금속 질화막, 또는 이들의 조합으로 이루어지는 것을 특징으로 하는 강유전체 메모리 소자.

【청구항 9】

제1항에 있어서,

상기 산화막의 상기 연마정지층에 대한 친화력을 향상시키기 위하여 상기 연마정지층과 상기 산화막과의 사이에 개재되어 있는 버퍼층을 더 포함하는 것을 특징으로 하는 강유전체 메모리 소자.

【청구항 10】

제9항에 있어서,

상기 버퍼층은 Al_2O_3 로 이루어지는 것을 특징으로 하는 강유전체 메모리 소자.

【청구항 11】

반도체 기판상에 갭 영역을 사이에 두고 서로 이격되어 있는 복수의 강유전체 커패시터를 형성하는 단계와,

상기 강유전체 커패시터로의 수소 침투를 방지하기 위하여 상기 강유전체 커패시터의 상면 및 측벽을 덮는 배리어막을 형성하는 단계와,

상기 배리어막 위에 연마정지층을 형성하는 단계와,

상기 연마 정지층 위에 상기 갭 영역을 완전히 채우는 산화막을 형성하는 단계와,

상기 산화막을 CMP (chemical mechanical polishing) 방법에 의하여 평탄화하여 상기 연마정지층을 일부 노출시키는 평탄화된 산화막 패턴을 형성하는 단계와,

상기 강유전체 커패시터의 상면이 완전히 노출되도록 상기 연마정지층의 노출된 부분 및 그 아래의 배리어막을 제거하는 단계를 포함하는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 12】

제11항에 있어서,

상기 배리어막은 Al_2O_3 , TiO_2 , Ta_2O_5 , BaTiO_3 , SrTiO_3 , $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 또는 PbTiO_3 로 이루어지는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 13】

제11항에 있어서,

상기 연마정지층은 Si_3N_4 또는 SiON 으로 형성되는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 14】

제11항에 있어서,

상기 연마정지층은 플라즈마 CVD 방법에 의하여 형성되는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 15】

제11항에 있어서,

상기 산화막은 USG (undoped silicate glass), PEOX (plasma enhanced oxide), HDP 산화물 (high density plasma oxide), 또는 PSG (phosphosilicate glass)로 형성되는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 16】

제11항에 있어서,

상기 평탄화된 산화막 패턴을 형성하는 단계는 세리아 슬러리를 사용하여 상기 산화막을 연마하는 단계를 포함하는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 17】

제11항에 있어서,

상기 평탄화된 산화막 패턴을 형성하는 단계는

상기 산화막의 표면 단차를 줄이기 위하여 실리카 슬러리를 사용하여 상기 산화막을 일부 연마하는 제1 연마 단계와,

상기 연마정지층이 노출될 때까지 세리아 슬러리를 사용하여 상기 산화막을 연마하는 제2 연마 단계를 포함하는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 18】

제11항에 있어서,

상기 연마정지층의 노출된 부분 및 그 아래의 배리어막을 제거하는 단계는 RF 스퍼터링을 이용한 에치백 방법에 의하여 행해지는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 19】

제11항에 있어서,

상기 연마정지층의 노출된 부분 및 그 아래의 배리어막을 제거하는 단계는 습식 식각 방법으로 행해지는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 20】

제11항에 있어서,

상기 산화막을 형성하기 전에, 상기 연마정지층 위에 상기 산화막의 연마정지층에 대한 친화력을 향상시키기 위한 버퍼층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 21】

제20항에 있어서,

상기 버퍼층은 Al_2O_3 로 이루어지는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 22】

제11항에 있어서,

상기 복수의 강유전체 커패시터중 서로 이웃하는 적어도 2개의 커패시터의 상면과 직접 접촉하는 복수의 도전층 패턴을 형성하는 단계를 더 포함하는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 23】

제22항에 있어서,

상기 도전층 패턴은 금속막, 도전성 금속 산화막, 도전성 금속 질화막, 또는 이들의 조합으로 이루어지는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 24】

셀 어레이 영역 및 주변회로 영역을 가지는 반도체 기판상의 셀 어레이 영역에 복수의 강유전체 커패시터를 형성하는 단계와,

상기 강유전체 커패시터로의 수소 침투를 방지하기 위한 배리어막을 상기 셀 어레이 영역의 강유전체 커패시터 및 상기 주변회로 영역을 덮도록 형성하는 단계와,

상기 셀 어레이 영역 및 주변회로 영역상에 상기 배리어막을 덮는 연마정지층을 형성하는 단계와,

상기 셀 어레이 영역 및 주변회로 영역상에 상기 연마정지층을 덮는 절연막을 형성하는 단계와,

상기 셀 어레이 영역에서만 선택적으로 상기 절연막을 일부 제거하여 상기 셀 어레이 영역에서 낮아진 높이를 가지는 제1 절연막 패턴을 형성하는 단계와,

상기 셀 어레이 영역 및 상기 주변회로 영역에서 상기 제1 절연막 패턴을 CMP 방법에 의하여 평탄화하여 상기 강유전체 커패시터의 위에서 상기 연마정지층을 노출시키는 평탄화된 제2 절연막 패턴을 형성하는 단계와,

상기 강유전체 커패시터의 상면이 노출되도록 상기 연마정지층의 노출된 부분 및 그 아래의 배리어막을 제거하는 단계를 포함하는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 25】

제24항에 있어서,

상기 제1 절연막 패턴을 형성하는 단계는 RF 스퍼터링을 이용한 에치백 공정에 의하여 상기 셀 어레이 영역에서만 선택적으로 상기 절연막의 일부를 제거하는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 26】

제25항에 있어서,

상기 에치백 공정은 상기 절연막 위에 상기 셀 어레이 영역만을 노출시키는 마스크 패턴을 형성한 상태에서 행해지는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 27】

제24항에 있어서,

상기 배리어막은 Al_2O_3 , TiO_2 , Ta_2O_5 , BaTiO_3 , SrTiO_3 , $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 또는 PbTiO_3 로 이루어지는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 28】

제24항에 있어서,

상기 연마정지층은 Si_3N_4 또는 SiON 으로 형성되는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 29】

제24항에 있어서,

상기 절연막은 USG (undoped silicate glass), PEOX (plasma enhanced oxide), HDP 산화물 (high density plasma oxide), 또는 PSG (phosphosilicate glass)로 형성되는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 30】

제24항에 있어서,

상기 제2 절연막 패턴을 형성하는 단계는 세리아 슬러리를 사용하여 상기 절연막 패턴을 연마하는 단계를 포함하는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 31】

제24항에 있어서,

상기 제2 절연막 패턴을 형성하는 단계는

실리카 슬러리를 사용하여 상기 제1 절연막 패턴을 일부 연마하는 제1 연마 단계와,

상기 연마정지층이 노출될 때까지 세리아 슬러리를 사용하여 상기 제1 절연막 패턴을 연마하는 제2 연마 단계를 포함하는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 32】

제24항에 있어서,

상기 연마정지층의 노출된 부분 및 그 아래의 배리어막을 제거하는 단계는 RF 스퍼터링을 이용한 에치백 방법에 의하여 행해지는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 33】

제24항에 있어서,

상기 연마정지층의 노출된 부분 및 그 아래의 배리어막을 제거하는 단계는 습식 식각 방법으로 행해지는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 34】

제24항에 있어서,

상기 절연막을 형성하기 전에, 상기 연마정지층 위에 상기 절연막의 연마정지층에 대한 친화력을 향상시키기 위한 버퍼층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

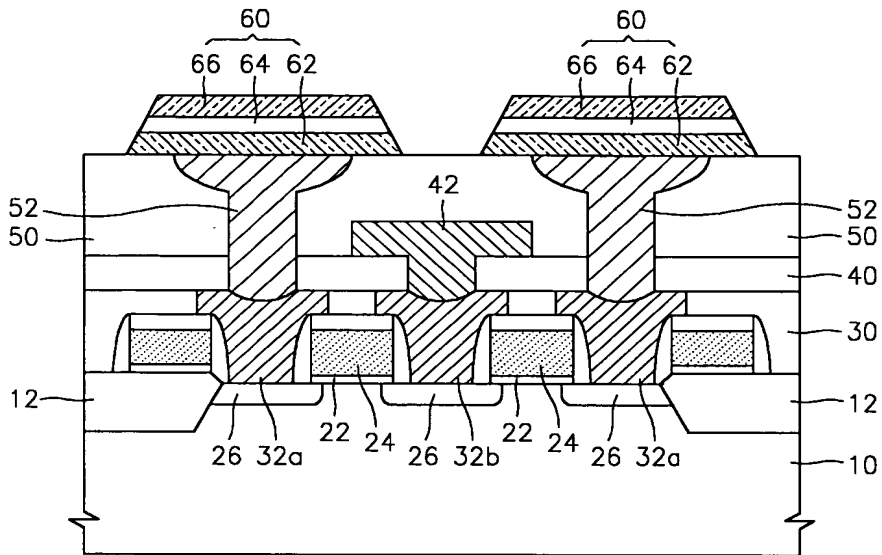
【청구항 35】

제34항에 있어서,

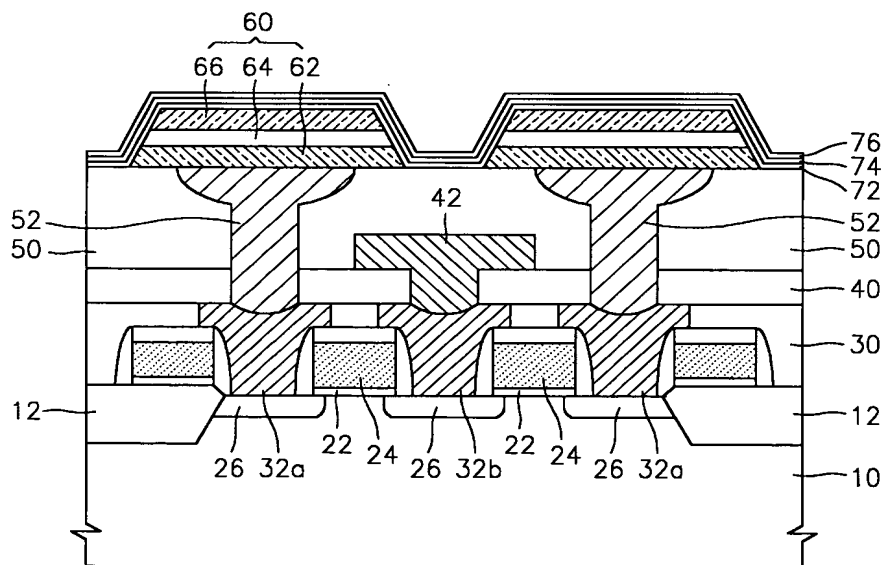
상기 버퍼층은 Al_2O_3 로 이루어지는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【도면】

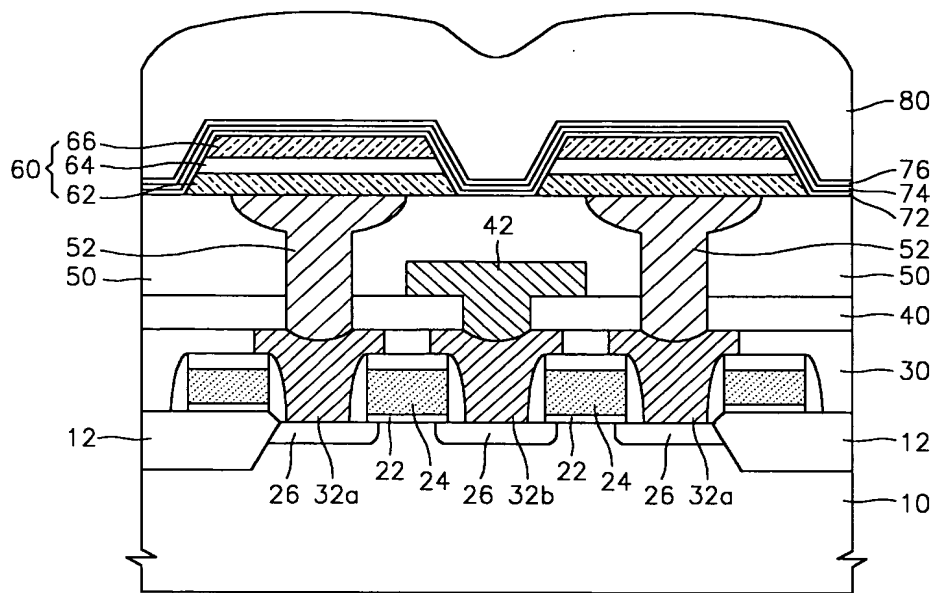
【도 1】



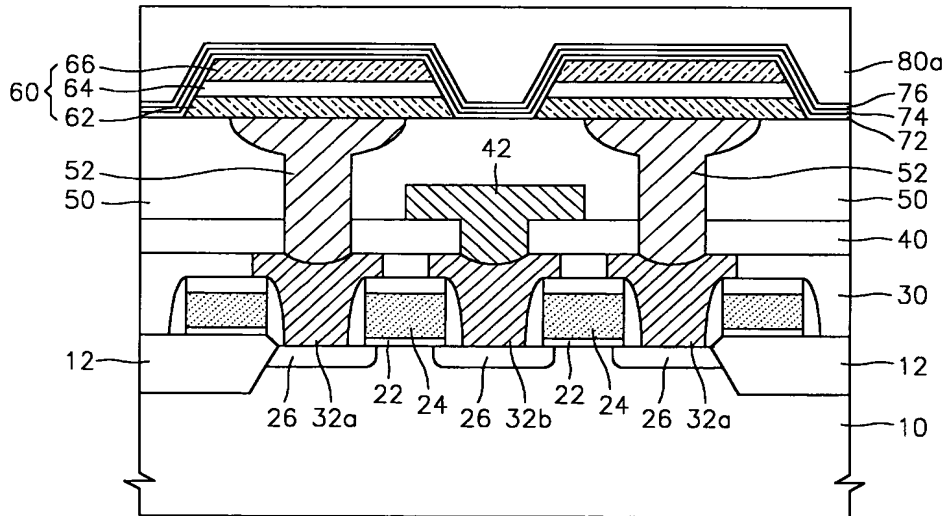
【도 2】



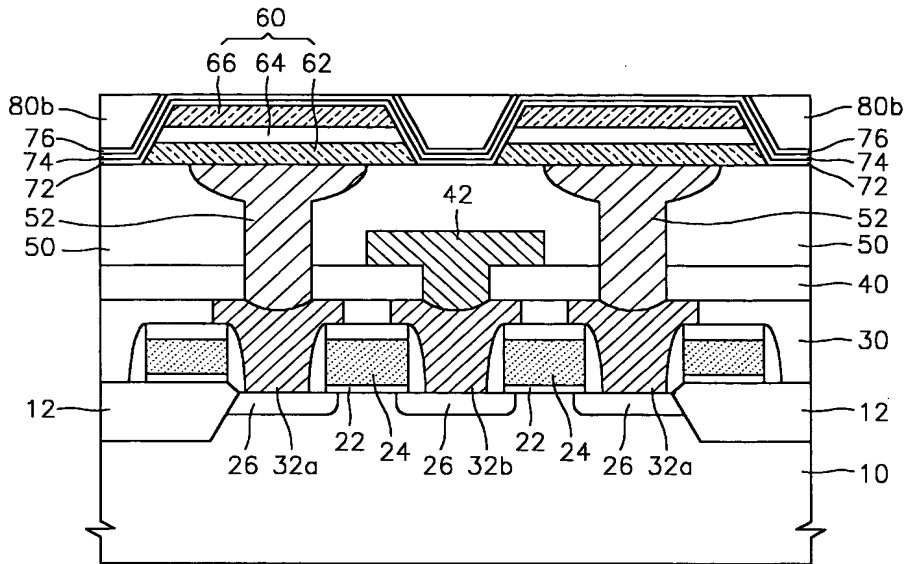
【도 3】



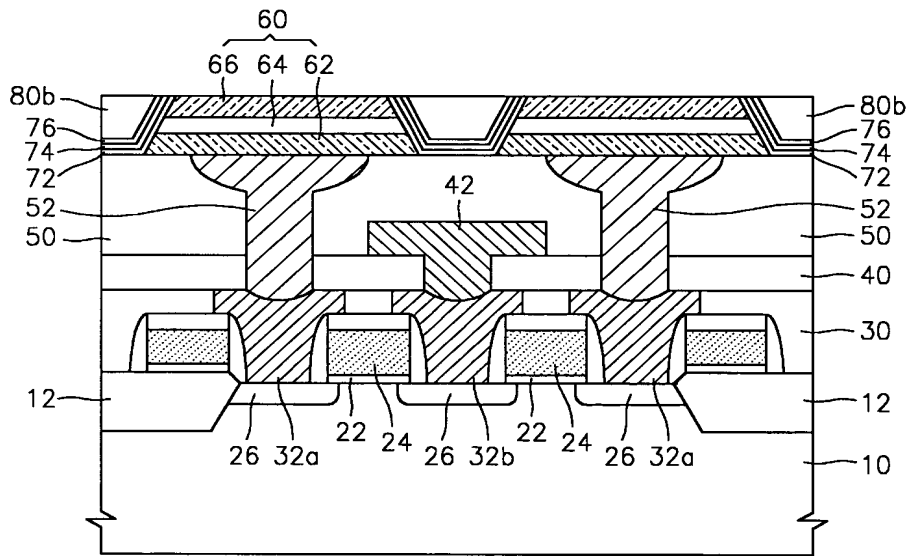
【도 4】



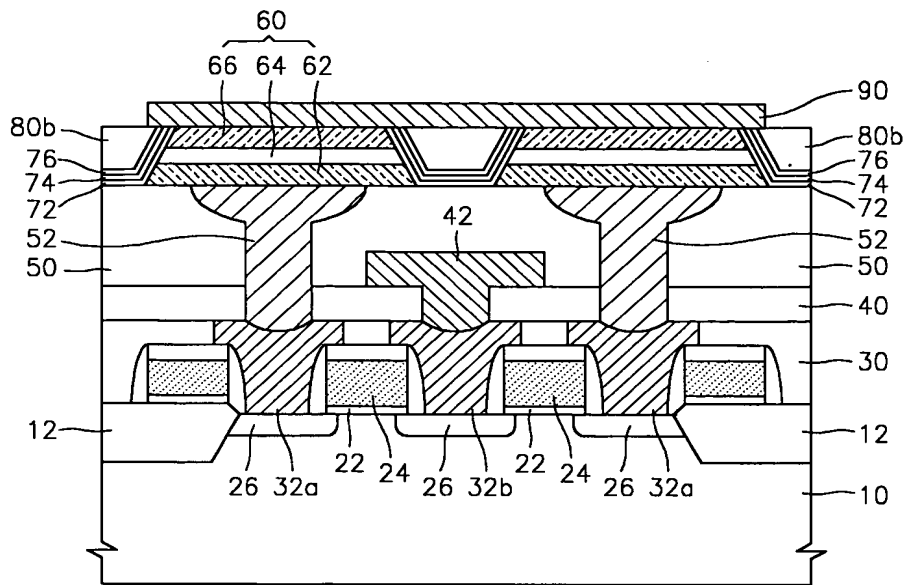
【도 5】



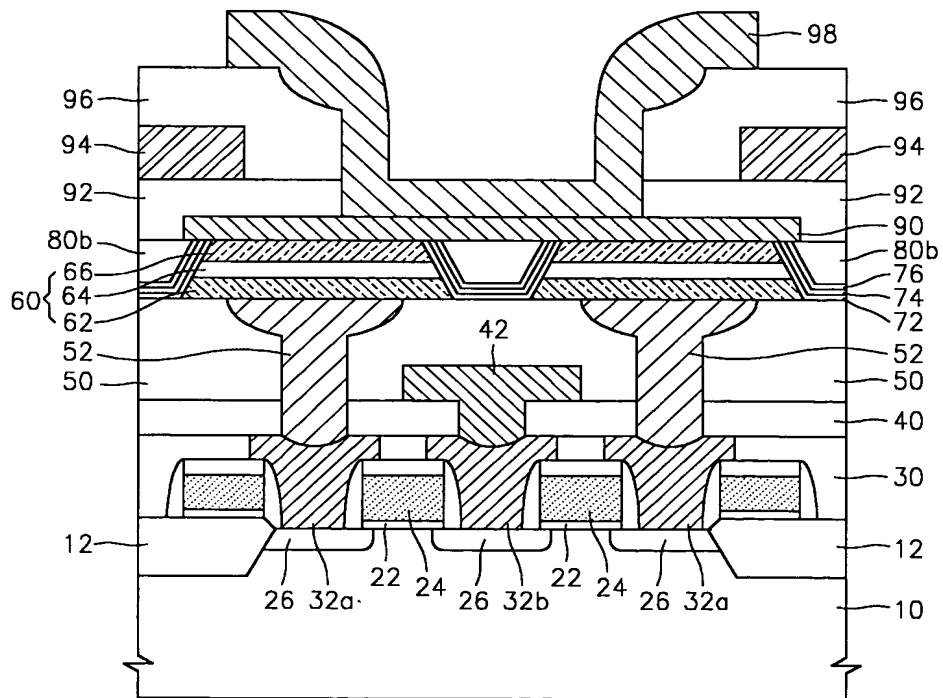
【도 6】



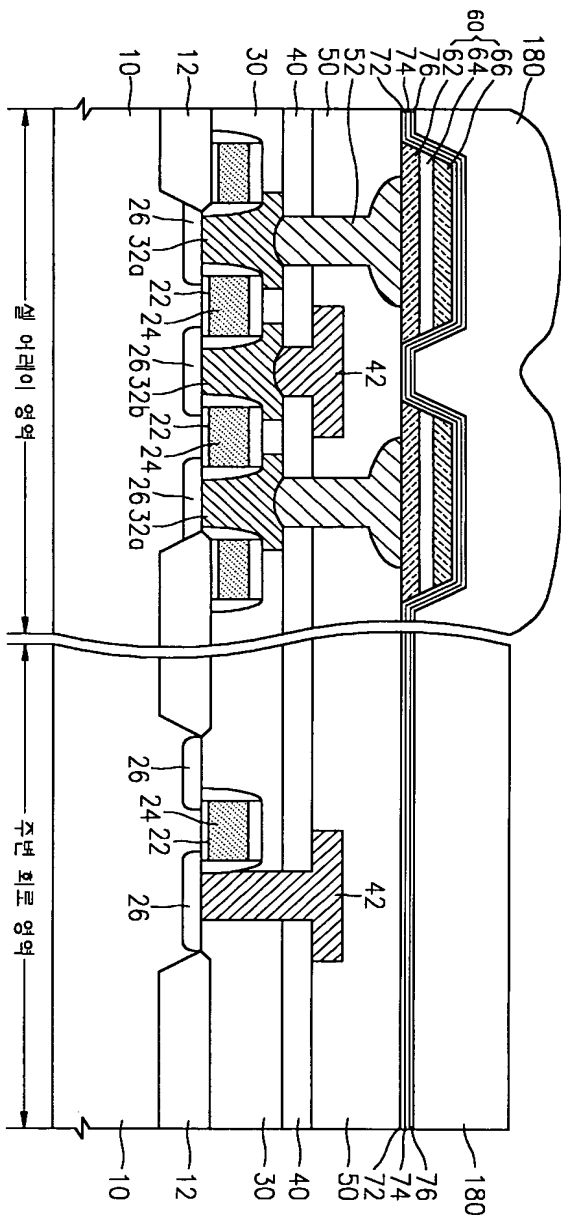
【도 7】



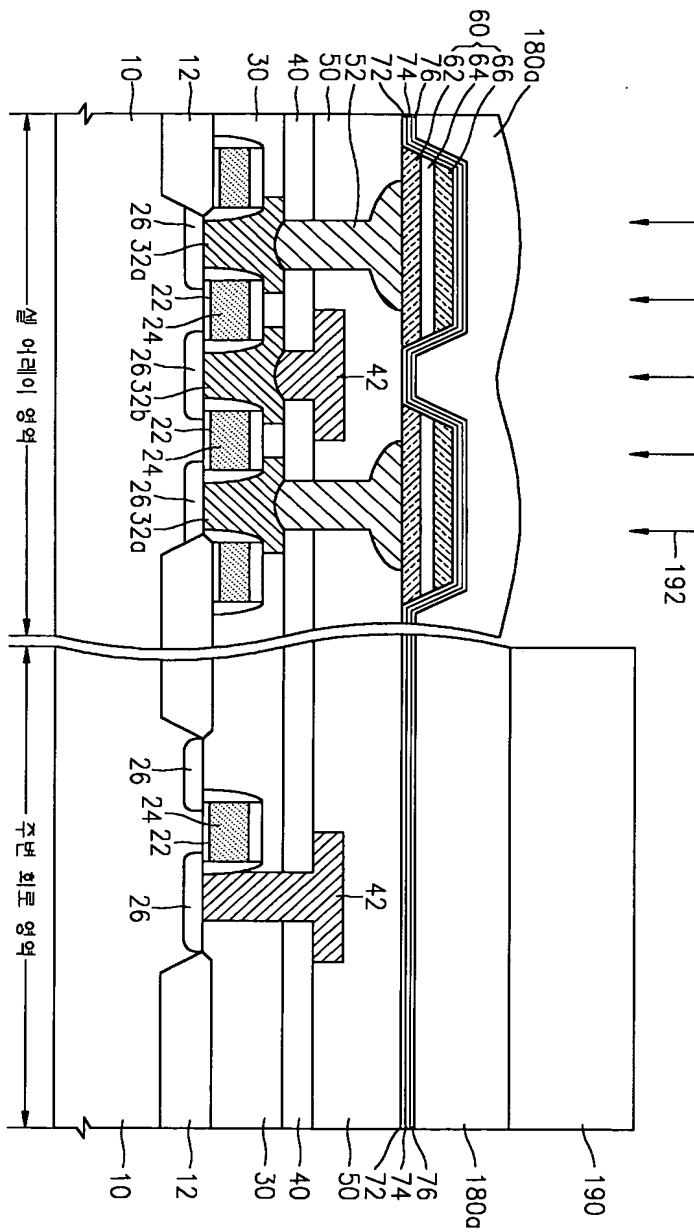
【도 8】



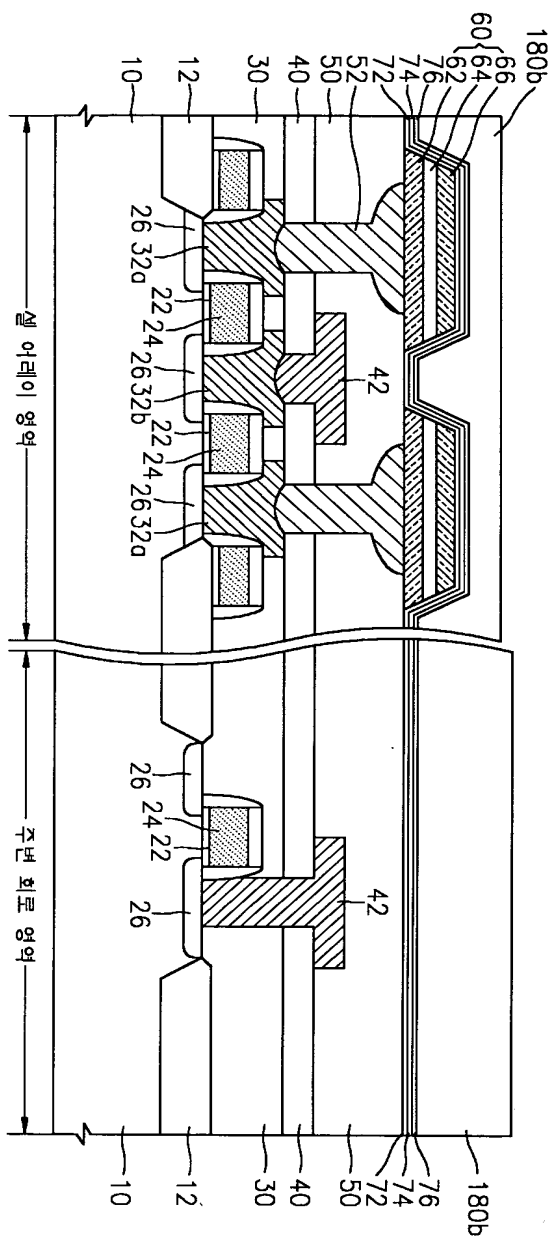
【도 9】



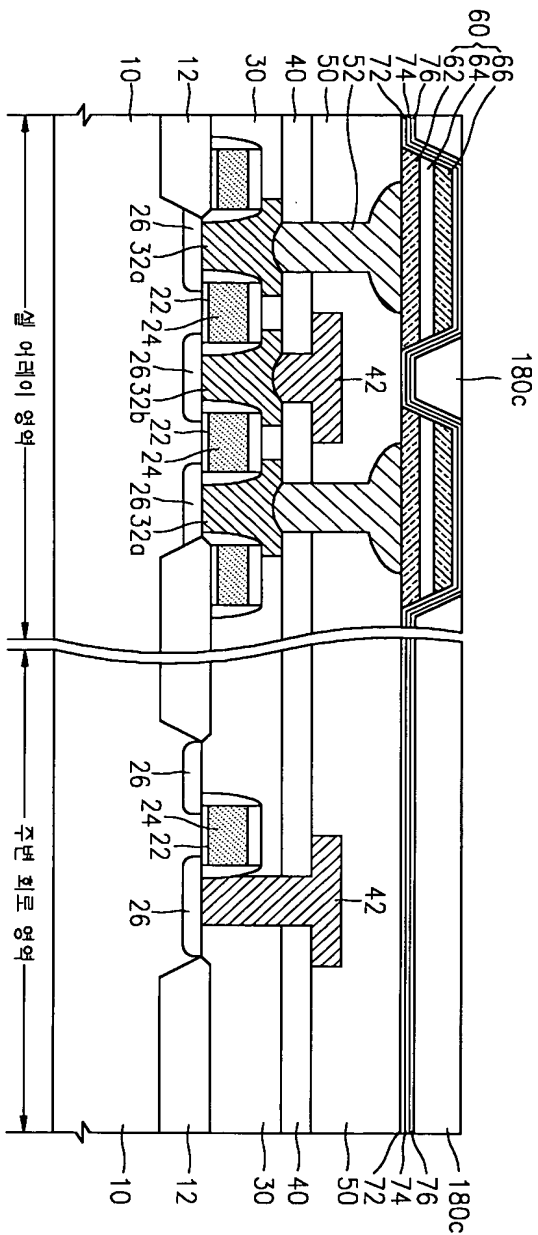
【도 10】



【도 11】



【도 12】





【도 13】

웨이퍼 상의 위치	종래 기술		본 발명	
	셀 어레이 영역 에지	셀 어레이 영역 센터	셀 어레이 영역 에지	셀 어레이 영역 센터
센터				
지부				